

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-099188

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

G06F 1/06

(21)Application number : 10-265046

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.09.1998

(72)Inventor : SHIBAZAKI SHOGO

## (54) CLOCK SWITCHING CIRCUIT

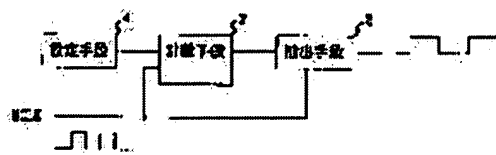
## (57)Abstract:

PROBLEM TO BE SOLVED: To make settable more frequencies without making a clock switching circuit large in scale by extracting pulses of a master clock signal every time a specific time has passed after a set value corresponding to target synchronism is reached.

SOLUTION: A setting means 4 sets the value corresponding to a clock signal of desired frequency and a counting means 2 once counting pulses of MCLK by the value set by the setting means 4 outputs a carry signal having the same width as the synchronism of MCLK. An extracting means 3 inputs MCLK and outputs the pulses of MCLK each time the counting means 4 outputs the carry signal. According to the set value of the

setting means 4, the master clock signal is switched to

one of clock signals of synchronism, so the need for a circuit which generates clock signals of different frequencies at the same time and a circuit which selects a desired clock signal among clock signals is eliminated. Further, since the clock signal is switched in timing synchronizing with the master clock signal, no hazard is caused even when the set value is varied.



## LEGAL STATUS

[Date of request for examination]

30.07.2001

[Date of sending the examiner's decision of rejection] 02.09.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2003-19335

[Date of requesting appeal against examiner's decision of rejection] 02.10.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2000-99188

(P2000-99188A)

(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl.<sup>7</sup>

識別記号

FI

テームト\*(参考)

G 0 6 F 1/06

G 0 6 F 1/04

3 1 0 A 5 B 0 7 9

審査請求 未請求 請求項の数7 OL (全 7 頁)

(21)出願番号 特願平10-265046

(22)出願日 平成10年9月18日(1998.9.18)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 柴崎 省吾

神奈川県横浜市港北区新横浜二丁目15番16  
株式会社富士通コンピュータテクノロジ  
内

(74)代理人 100072590

弁理士 井桁 貞一

Fターム(参考) 5B079 BA03 BB01 BC01 DD03 DD06  
DD17

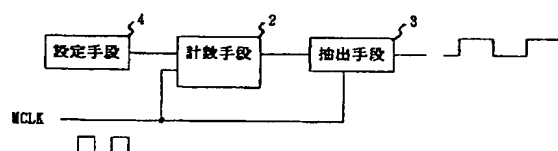
(54)【発明の名称】 クロック切替回路

(57)【要約】

【課題】 回路の大規模化を招くことなく、多様な周期のクロック信号を生成可能にするとともに、ハザードの発生を抑えるクロック切替回路を提供する。

【解決手段】 所望の周波数に対応する値を格納する設定手段4と、マスタクロックを計数する計数手段2と、計数手段2が設定手段4に格納された値を計数する毎に、マスタクロックを所定時間遅延して抽出する抽出手段3を設ける。

本発明のクロック切替回路のブロック図



## 【特許請求の範囲】

【請求項 1】 マスタクロック信号を該マスタクロック信号の整数倍の周期を有するクロック信号に切り替えるクロック切替回路において、クロック信号の目標周期に対応する値を設定する設定手段と、

マスタクロック信号のパルスを計数する計数手段と、前記計数手段における計数値が前記設定手段の設定値に達する毎に、マスタクロック信号のパルスを抽出する抽出手段と、を有することを特徴とするクロック切替回路。

【請求項 2】 前記抽出手段は、前記計数手段における計数値が前記設定手段の設定値に達してから所定時間後にマスタクロック信号を抽出する遅延手段を有することを特徴とする請求項 1 に記載のクロック切替回路。

【請求項 3】 前記計数手段は、前記設定手段における設定値だけ計数するとキャリア信号を出力し、遅延手段は、前記キャリア信号を所定時間だけ遅延させることを特徴とする請求項 2 に記載のクロック切替回路。

【請求項 4】 前記抽出手段は、前記遅延手段において遅延されたキャリア信号の出力期間中に発生するマスタクロック信号のパルスを抽出することを特徴とする請求項 3 に記載のクロック切替回路。

【請求項 5】 前記抽出手段は、前記計数手段のキャリア出力をマスタクロックのパルスの幅以上遅延させることを特徴とする請求項 3 に記載のクロック切替回路。

【請求項 6】 前記計数手段は、マスタクロック信号のパルスの一方のエッジで該パルスを計数し、前記抽出手段は、マスタクロック信号の他方のエッジで前記キャリア信号をラッチするフリップフロップを有することを特徴とする請求項 5 に記載のクロック切替回路。

【請求項 7】 前記抽出手段は、前記フリップフロップの出力とマスタクロック信号の論理積をとるアンド回路を有することを特徴とする請求項 6 に記載のクロック切替回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、回路動作の基本信号となるクロック信号を生成する回路に関し、特に、クロック信号を、設定可能な複数の周波数の中の所望の周波数を有するクロック信号に切り替える回路に関する。情報処理装置内の回路で消費される電力を抑える方法の一つとして、回路の動作速度を遅くする方法がある。回路の動作速度を遅くするには、回路を動作させるクロック信号の周波数を遅くすることで実現でき、クロック信号を所望の周波数を有するクロック信号に切り替える種々の回路が知られている。

## 【0002】

【従来技術】図 6 に第 1 の従来のクロック切替回路を示

す。図 6 において、51 はクロック生成回路、52 は設定レジスタ、53 はセレクタである。クロック生成回路 51 は、複数の周波数のクロック信号を生成し、各周波数のクロック信号をセレクタ 53 に出力する。設定レジスタは 52 は  $n$  ビットのデータが格納されるレジスタであり、目標とするクロック周波数に対応する値が格納される。セレクタ 53 は、クロック生成回路 51 が生成した複数の周波数のクロック信号の中から、設定レジスタに格納された値に対応する周波数のクロック信号を選択する。

【0003】ここで、クロック生成回路 51 は、4 種類の周波数のクロック信号 CLK0 ~ CLK3 を生成し、設定レジスタ 52 は、4 種類のクロック信号を設定可能にすべく、2 ビットの値を格納するものとする。図 7 は、第 1 の従来のクロック切替回路における動作タイムチャートである。図 7 を用いて、クロック信号を CLK1 から CLK2、CLK2 から CLK1 に切り替える動作を説明する。

【0004】設定レジスタ 52 の値が CLK1 に対応する「01」が格納されている間、セレクタ 53 は CLK1 を選択的に出力する。クロック信号の切替は、ユーザーの要求、或いは CPU の判断によって発生する。クロック信号を CLK1 から CLK2 に切り替える指示が発生すると、設定レジスタ 52 の値が CLK1 を示す「00」から CLK2 を示す「01」に変更される。レジスタ 53 は、設定レジスタ 52 に格納される値が変化したことに応答して、CLK2 を選択的に出力する。

【0005】また、CLK2 から CLK1 に戻す指示が発生すると、設定レジスタ 52 の値は「01」から「00」に戻り、セレクタ 53 は、設定レジスタ 52 に格納される値の変化に応答して、CLK1 を選択的に出力する。図 6 に示される第 1 の従来のクロック切替回路では、設定レジスタ 52 の値が変化した瞬間にクロック信号が切り替わる構成である。従って、設定値の変化のタイミングによっては、セレクタ 53 の出力にハザードが発生し、セレクタ 53 から出力されるクロック信号を受けて動作する回路が誤動作するという問題が生じる。例えば、選択したいクロック信号のパルスが立ち下がる直前に、そのクロック信号を指定する値が設定レジスタ 52 に設定されると、わずかな時間幅を持つパルス（ハザード）がセレクタ 53 から出力される。

【0006】また、設定可能な周波数の種類を増やすとクロック生成回路 51 が大規模化し、多数のクロック信号の中から所定の 1 つを選択するセレクタも複雑化且つ大規模化するという問題が生じる。上記問題を解決するため、一定の周波数を持つマスタクロック信号のパルスを設定された時間が経過する毎に抽出することにより、希望の周波数を持つクロック信号を生成するクロック切替回路が存在する。図 8 に、第 2 の従来におけるクロック切替回路を示す。

【0007】図8において、61はマスタクロック発生回路、62はカウンタ、63は設定レジスタ、64はアンド回路である。ここで、クロック発生回路61は或る周波数を持つマスタクロック信号を出力し、カウンタ62はマスタクロック発生回路61が発生するパルスを計数する。設定レジスタ63には、希望の周波数に対応する数値が格納され、カウンタ62は設定レジスタ63に設定された値だけマスタクロック信号のパルスを計数するとキャリー信号を出力する。アンド回路64は、クロック発生回路61のクロックパルスとカウンタ62のキャリー信号の論理積をとる。

【0008】よって、図9のクロック切替回路は、マスタクロック発生回路61が出力するパルスを、設定レジスタ63に格納された値に応じた時間間隔で抽出することにより、所定の周波数のクロック信号を生成する。図9のクロック切替回路によると、マスタクロック発生回路は、或る1つの周波数のパルスを発生すればよいから、回路の小型化が実現できる。また、クロック信号が切り替わるタイミングは、設定レジスタへの値の格納のタイミングに依存せず、マスタクロック信号に同期する。

【0009】

【発明が解決しようとする課題】しかし、カウンタ62が出力するキャリー信号の立上がり及び立下がり、図10に示すようにマスタクロック信号のパルスの立ち上がりよりも僅かな時間だけ遅れる。その結果、抽出されるパルスの幅が若干短くなるほか、間引かれるはずのパルスとキャリー信号とが僅かな時間だけ重なってしまい、微小時間だけ出力される。従って、図9に示されるクロック切替回路を用いても、依然としてハザードの発生の問題が残った。

【0010】本発明では、上記問題点を解決すべく、回路の大規模化を招くことなく、より多くの周波数の設定が可能となるクロック生成回路を提供するとともに、クロック信号の切り替えを最適なタイミングで実行し、クロック信号にハザードを発生させないクロック切替回路を提供することを目的とする。

【0011】

【課題を解決する手段】本発明の請求項1のクロック切替回路は、クロック信号の目標周期に対応する値を設定する設定手段と、マスタクロック信号のパルスを計数する計数手段と、計数手段の計数値が設定手段の設定値に達してから所定時間経つ毎に、マスタクロック信号のパルスを抽出する抽出手段とを備える。

【0012】請求項1の発明によると、設定手段の設定値に応じて、マスタクロック信号を複数の周期の何れか1つの周期のクロック信号に切り替えるため、複数の周波数のクロック信号を同時に生成する回路も、複数のクロック信号から所望の1つを選択する回路も不要となる。また、設定手段への値の設定のタイミングによら

ず、マスタクロック信号に同期したタイミングでクロック信号が切り替わるため、クロック信号の出力期間中に設定値が変更してもハザードは発生しない。更に、クロックパルスは、計数手段が設定手段における設定値だけ計数する毎に発生するため、間引かれるはずのマスタクロック信号のパルスが出力されることはなく、ハザードの発生が完全に抑えられる。

【0013】請求項2の発明では、計数手段における計数値が設定手段に設定された値だけ計数してから所定時間後にマスタクロック信号を抽出する遅延手段を備える。請求項2の発明によると、マスタクロックの抽出のタイミングが、計数手段における設定値の計数の完了からずれる。請求項3の発明では、計数手段が設定手段における設定値だけ計数する毎に所定時間幅のキャリー信号を出力し、遅延手段によってキャリー信号が遅延される。

【0014】請求項3の発明によると、キャリー信号の位相がマスタクロック信号の位相よりずれる。請求項4の発明では、遅延されたキャリー信号の出力期間中に発生するマスタクロックパルスを抽出する。請求項4の発明によると、遅延されたキャリー信号の位相がマスタクロック信号とずれているため、キャリー信号とマスタクロック信号のパルスとの微妙なタイミングのずれが吸収され、抽出されるパルスの幅をマスタクロック信号のパルス幅に一致させることができる。

【0015】請求項5の発明では、抽出手段は、計数手段のキャリー出力をマスタクロック信号のパルスの幅以上遅延する。請求項5の発明によると、1回のキャリー信号と重なるマスタクロック信号のパルスを1つだけとすることができるため、微小期間だけキャリー信号と重なるマスタクロック信号のパルスがなくなり、ハザードの発生が防止できる。

【0016】請求項6の発明では、計数手段は、マスタクロック信号のパルスの一方のエッジでパルスを計数し、抽出手段は、マスタクロック信号のパルスの他方のエッジでキャリー出力をラッチする。請求項6の発明によると、キャリー出力をマスタクロック信号のパルス幅以上遅延することができ、上述したように、ハザードの発生が防止される。

【0017】請求項7の発明では、抽出手段は、フリップフロップの出力とマスタクロック信号の論理積をとるアンド回路を有する。請求項7の発明によると、マスタクロック信号の整数倍の周期を持ち、マスタクロック信号のパルスと同じ幅を持つクロック信号が出力される。

【0018】

【発明の実施の形態】図1に、本発明のクロック切替回路の概念図を示す。図1において、2は計数手段、3は抽出手段、4は設定手段である。計数手段2は、一定の幅および一定の周期のマスタクロック信号(MCLK)のパルスを計数する。設定手段4は、所望の周波数のク

ロック信号に対応する値を設定し、計数手段2は、設定手段4が設定した値だけMCLKのパルスを計数するとMCLKの周期と同じ幅のキャリア信号を出力する。抽出手段3は、MCLKを入力し、計数手段4がキャリア信号を出力する毎にMCLKのパルスを出力する。

【0019】図2に本発明の実施の形態におけるクロック切替回路を示す。図2に示されるように、マスタクロック信号は、マスタクロック生成回路1から出力され、設定手段4はnビットのレジスタ41からなり、計数回手段はnビットのカウント21からなる。レジスタ41に格納された第n (n=0, 1, …, k) ビット目のデータは、カウンタ21の対応するデータ入力端子DTnに反転されてロードされる。ロードされるタイミングは、ロード端子LDへの入力がアクティブの状態、即ち、キャリア端子RCからの出力がアクティブの状態にあるときに、MCLKがアクティブになるときである。

【0020】カウンタ21は、MCLKがアクティブとなるタイミングでカウントアップし、カウンタの出力が全て論理「1」になるキャリア端子RCからの出力がアクティブとなる。カウンタ21にはレジスタ41に格納されたデータを反転した値がロードされるため、カウンタ21がレジスタ41に格納された値だけMCLKをカウントする毎に、キャリア端子RCの状態がアクティブとなる。キャリア端子RCがアクティブの状態ではMCLKがアクティブになると、上述のように、レジスタ41に格納されたデータが再びカウンタ21にロードされる。

【0021】抽出手段3は、カウンタ21が出力するキャリア信号をラッチするフリップフロップ(FF)31と、このFF31の出力およびMCLKの論理積をとるアンド回路32を含んでなる。FF31は、キャリア信号をMCLKの立ち下りのタイミングでラッチする。即ち、FF31からは、MCLKの幅だけ遅延されたキャリア信号が出力端子Qから出力される。

【0022】アンド回路32においては、FF31の出力端子Qからの信号とMCLKとの論理積がとられ、FF31の出力端子Qからアクティブな信号が出力されている期間に限ってアンド回路32に入力されるMCLKがクロック信号として出力される。以上に述べたクロック切替回路の動作を要約すると、レジスタ41に格納された値だけパルスが間引かれたMCLKがアンド回路32から出力される。

【0023】図3ないし図5は、図2に示されたクロック切替回路におけるタイムチャートである。図2に示されるレジスタ41は4ビットのデータを格納し、カウンタ21を4ビットのデータを計数するものとし、レジスタ41に格納される値が16進数で「0」、「1」および「2」のときのクロック切替回路の動作を以下に説明する。

【0024】図3は、レジスタ41に格納されるデータ

が「0」であるときのタイムチャートである。まず、時刻t0でカウンタ21およびFF31にリセットがかかり、カウンタ21の出力ビットの全てがアクティブな状態、即ち、カウンタ21の出力は「F」となり、キャリア端子RCはアクティブな信号を出力する。また、FF31の出力端子Qもアクティブな信号を出力する。

【0025】そして、時刻t1において、MCLKがアクティブとなる。このとき、キャリア端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「0」の反転値である「F」がカウンタ21にロードされる。その結果、カウンタ21の出力は「F」を維持し、キャリア端子RCもアクティブの状態を維持する。

【0026】時刻t2になると、MCLKがネガティブとなり、FF31はキャリア端子RCから出力される信号をラッチするが、時刻t2において、キャリア端子RCはアクティブの状態であるので、FF31の出力端子Qもアクティブの状態が維持される。以降も、MCLKがアクティブとなる毎に、レジスタ41に格納された値「0」の反転値「F」がカウンタ21にロードされるため、カウンタ21のキャリア端子RCはアクティブな状態を維持し続ける。従って、FF31の出力端子Qもアクティブな状態を維持し続け、アンド回路32の一方の入力は常にアクティブとなる。よって、アンド回路32に入力されるMCLKは間引かれることがなく、クロック切替回路は、MCLKをクロック信号としてアンド回路32から出力する。

【0027】図4は、レジスタ41に格納されるデータが「1」であるときのタイムチャートである。まず、時刻t0でカウンタ21およびFF31にリセットがかかり、カウンタ21の出力ビットの全てがアクティブな状態、即ち、カウンタ21の出力は「F」となり、キャリア端子RCはアクティブな信号を出力する。また、FF31の出力端子Qもアクティブな信号を出力する。

【0028】そして、時刻t1においてMCLKがアクティブとなる。このとき、キャリア端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「1」の反転値「E」がカウンタ21にロードされる。従って、カウンタ21の出力は「E」となり、キャリア端子RCはネガティブな状態へと反転する。

【0029】時刻t2において、MCLKがネガティブとなり、FF31はキャリア端子RCから出力される信号をラッチするが、時刻t2において、キャリア端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブな状態へと変化する。時刻t3でMCLKがアクティブとなり、カウンタ21はカウントアップ動作を行う。その結果、出力が「E」から「F」へと変換し、キャリア端子RCはアクティブな状態へと変化する。

【0030】時刻 $t_4$ において、MCLKはネガティブとなり、FF31はキャリア端子RCから出力される信号をラッチするが、時刻 $t_4$ において、キャリア端子RCはアクティブな状態であるため、FF31の出力端子Qもアクティブな状態へと変化する。時刻 $t_5$ において、MCLKがアクティブとなる。このとき、キャリア端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「1」の反転値「E」がカウンタ21にロードされる。従って、カウンタ21の出力は「E」となり、キャリア端子RCはネガティブな状態へと反転する。

【0031】時刻 $t_6$ において、MCLKがネガティブとなり、FF31はキャリア端子RCから出力される信号をラッチするが、時刻 $t_6$ において、キャリア端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブな状態へと変化する。以上のように、レジスタ41に「1」が設定されると、キャリア端子RCはMCLKの周期の2倍の周期でアクティブとなり、これに伴い、FF31の出力端子QもMCLKの周期の2倍の周期でアクティブとなる。従って、アンド回路32は、クロック信号としてMCLKのパルスを1個おきに出力する。

【0032】図5は、レジスタ41に格納されるデータが「2」であるときのタイムチャートである。まず、時刻 $t_0$ でカウンタ21およびFF31にリセットがかかり、カウンタ21の出力ビットの全てがアクティブな状態、即ち、カウンタ21の出力は「F」となり、キャリア端子RCはアクティブな信号を出力する。また、FF31の出力端子Qもアクティブな信号を出力する。

【0033】そして、時刻 $t_1$ においてMCLKがアクティブとなる。このとき、キャリア端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「2」の反転値「D」がカウンタ21にロードされる。従って、カウンタ21の出力は「D」となり、キャリア端子RCはネガティブな状態へと反転する。

【0034】時刻 $t_2$ において、MCLKがネガティブとなり、FF31はキャリア端子RCから出力される信号をラッチするが、時刻 $t_2$ においては、キャリア端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブな状態へと変化する。時刻 $t_3$ でMCLKがアクティブとなり、カウンタ21はカウントアップアップ動作を行う。その結果、出力が「D」から「E」へと変化するが、キャリア端子RCはネガティブな状態を維持する。

【0035】時刻 $t_4$ において、MCLKはネガティブとなり、FF31はキャリア端子RCから出力される信号をラッチするが、時刻 $t_4$ において、キャリア端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブの状態を維持する。時刻 $t_5$ において、

MCLKがアクティブとなる。カウンタ21はカウントアップアップ動作を行う。その結果、出力が「E」から「F」へと変換し、キャリア端子RCはアクティブな状態に変化する。

【0036】時刻 $t_6$ において、MCLKはネガティブとなり、FF31はキャリア端子RCから出力される信号をラッチするが、時刻 $t_6$ において、キャリア端子RCはアクティブな状態であるため、FF31の出力端子Qもアクティブな状態へと変化する。時刻 $t_7$ において、MCLKがアクティブとなる。このとき、キャリア端子RCはアクティブであるからロード端子LDもアクティブであり、レジスタ41に格納された値「2」の反転値「D」がカウンタ21にロードされる。従って、カウンタ21の出力は「D」となり、キャリア端子RCはネガティブな状態へと反転する。

【0037】時刻 $t_8$ において、MCLKがネガティブとなり、FF31はキャリア端子RCから出力される信号をラッチするが、時刻 $t_8$ において、キャリア端子RCはネガティブな状態であるため、FF31の出力端子Qもネガティブな状態へと変化する。以上のように、レジスタ41に「2」が設定されると、キャリア端子RCはMCLKの周期の3倍の周期でアクティブとなり、これに伴い、FF31の出力端子QもMCLKの周期の3倍の周期でアクティブとなる。従って、アンド回路32は、クロック信号としてMCLKのパルスを2個おきに出力する。

【0038】なお、上述の実施の形態においては、カウンタ21はカウントアップ方式をとり、レジスタ41に格納された値だけMCLKのパルスを計数するとカウント値が「F」となったが、カウンタ21をカウントダウン方式を採用してもよい。カウントダウン方式を採用すると、カウンタ21はレジスタに格納された値を減数し、カウント値が「0」になるとキャリア信号を出力する。

【0039】

【発明の効果】本発明によると、マスタクロック信号のパルスを所定の時間おきに抽出することにより、任意の周波数のクロック信号を得るため、複数のクロック信号を同時に生成する回路やクロック信号を選択する回路が不要となり回路規模の縮小される。また、パルスを抽出するタイミングが、マスタクロック信号のパルスの立ち下がり直前或いは立ち上がり直後と重ならないように設定されるため、ハザードが生じることが無い。従って、装置の正常な動作が保証され、信頼性が向上するという効果を奏する。

【図面の簡単な説明】

【図1】本発明におけるクロック切替回路の概念図である。

【図2】本発明のクロック切替回路の詳細図である。

【図3】本発明の第1の実施の形態におけるタイムチャ

ートである。

【図4】本発明の第2の実施の形態におけるタイムチャートである。

【図5】本発明の第3の実施の形態におけるタイムチャートである。

【図6】本発明の第1の従来におけるクロック切替回路を示す図である。

【図7】本発明の第1の従来におけるクロック切替回路のタイムチャートある。

【図8】本発明の第2の従来におけるクロック切替回路を示す図である。

10

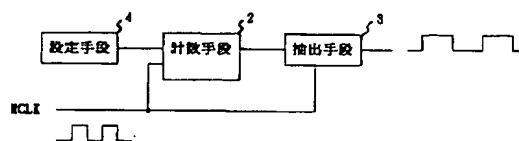
\*【図9】本発明の第2の従来におけるクロック切替回路のタイムチャートである。

【符号の説明】

- 1     マスタクロック生成回路
- 2     計数手段
- 3     抽出手段
- 4     設定手段
- 21   カウンタ
- 31   フリップフロップ
- 32   アンド回路
- \*   41   レジスタ

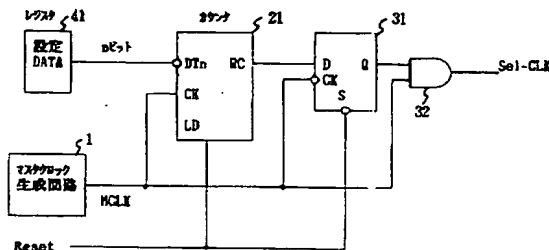
【図1】

本発明のクロック切替回路のブロック図



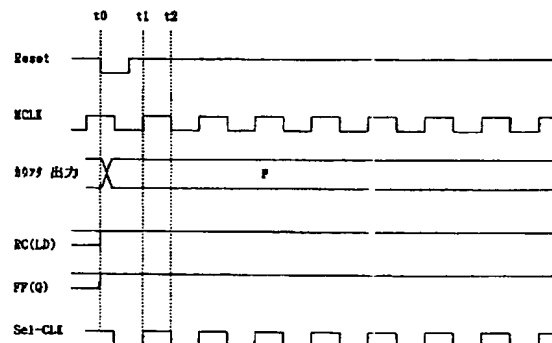
【図2】

本発明の実施の形態におけるクロック切替回路



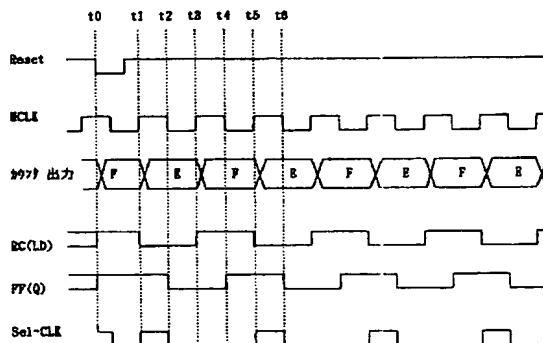
【図3】

本発明の第1の実施の形態におけるタイムチャート



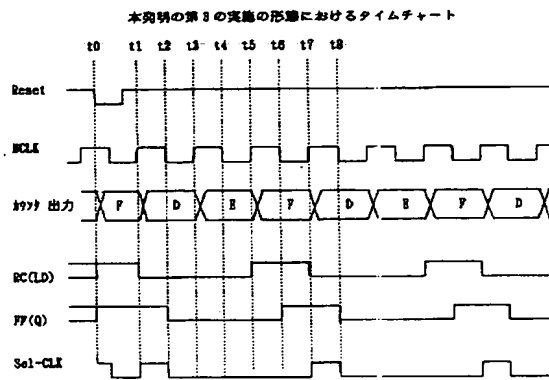
【図4】

本発明の第2の実施の形態におけるタイムチャート

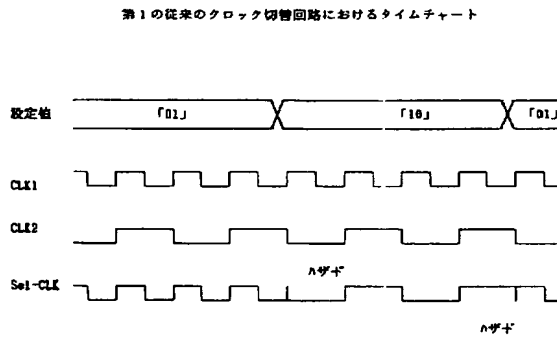




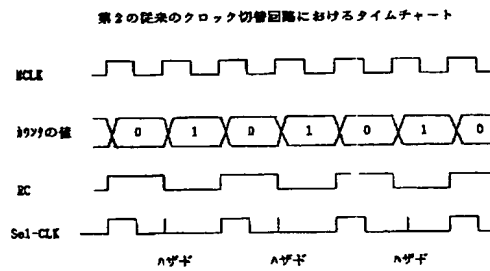
【図5】



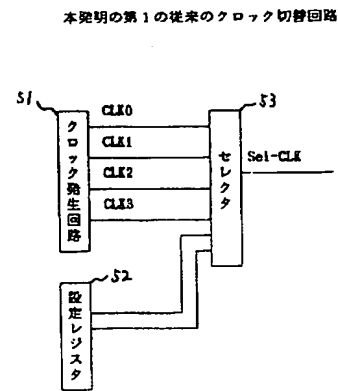
【図7】



【図9】



【図6】



【図8】

